



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0014853  
Application Number

출원 년 월 일 : 2003년 03월 10일  
Date of Application MAR 10, 2003

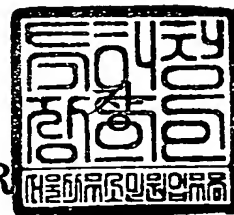
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.10
【발명의 명칭】	선택 트랜지스터를 갖는 이이피롬 및 그 제조방법
【발명의 영문명칭】	EEPROM HAVING SELECTION TRANSISTORS AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박규찬
【성명의 영문표기】	PARK, KYU CHARN
【주민등록번호】	600716-1674527
【우편번호】	459-709
【주소】	경기도 평택시 독곡동 라이프아파트 3동 1106호
【국적】	KR
【발명자】	
【성명의 국문표기】	장성남
【성명의 영문표기】	CHANG, SUNG NAM
【주민등록번호】	601028-1342111
【우편번호】	442-736
【주소】	경기도 수원시 팔달구 영통동 살구골7단지 현대아파트 723동 404호
【국적】	KR

## 【발명자】

【성명의 국문표기】

신광식

【성명의 영문표기】

SHIN,KWANG SHIK

【주민등록번호】

640107-1808011

【우편번호】

151-020

【주소】

서울특별시 관악구 신림10동 316-6822-10

【국적】

KR

## 【심사청구】

청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

## 【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

26 면 26,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

13 항 525,000 원

【합계】

580,000 원

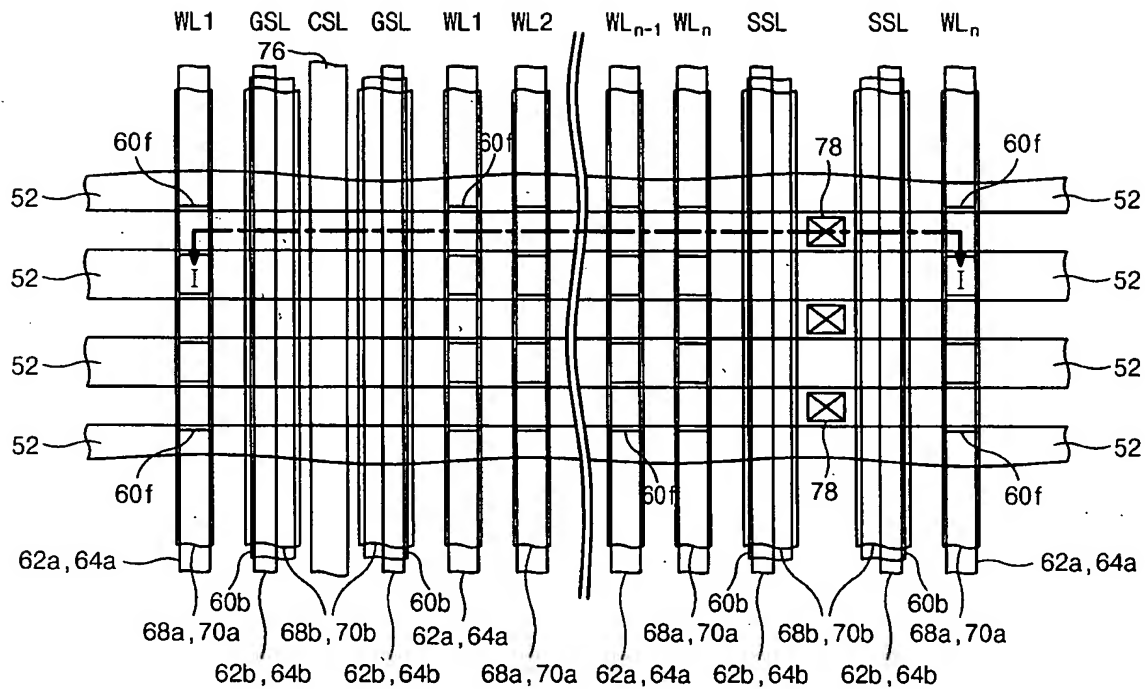
## 【첨부서류】

1. 요약서·명세서(도면)\_1통

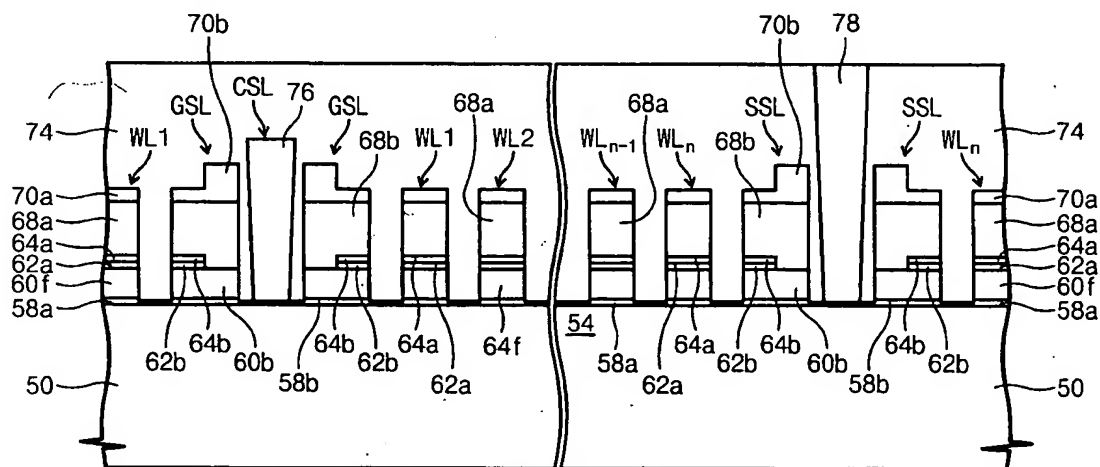
**【요약서】****【요약】**

선택 트랜지스터를 갖는 이이퍼롬 및 그 제조방법을 제공한다. 이소자는 반도체 기판 상에 서로 이격되어 배치된 셀 게이트 패턴 및 선택 게이트 패턴을 가진다. 셀 게이트 패턴은 반도체 기판 상에 차례로 적층된 터널산화막, 부유게이트, 제1 게이트 층간 유전막 및 제어 게이트 전극으로 구성되고, 선택 게이트 패턴은 상기 반도체 기판 상에 차례로 적층된 게이트 산화막, 하부 게이트 패턴, 제2 게이트 층간 유전막 및 상부 게이트 패턴으로 구성된다. 제2 게이트 층간 유전막의 폭은 상기 선택 게이트 패턴의 폭보다 좁고, 선택 게이트 패턴의 일 측벽으로부터 중심을 향해 측방으로 연장되어 상부 게이트 패턴 및 하부 게이트 패턴 사이의 일부분에 개재된다.

**【대표도】**



【대표도】



## 【명세서】

## 【발명의 명칭】

선택 트랜지스터를 갖는 이이피롬 및 그 제조방법{EEPROM HAVING SELECTION TRANSISTORS AND METHOD OF FABRICATING THE SAME}

## 【도면의 간단한 설명】

도 1은 통상적인 낸드형 플래시 이이피롬 셀을 나타낸 평면도이다.

도 2 및 도 3는 도 1의 A-A를 따라 취해진 종래의 이이피롬의 제조방법을 설명하기 위한 공정단면도들이다.

도 4 내지 도 6은 종래의 이이피롬의 문제점을 설명하기 위한 공정단면도들이다.

도 7a는 본 발명의 바람직한 실시예에 따른 이이피롬을 설명하기 위하여 낸드형 플래시 이이피롬 셀 어레이의 일부분을 나타낸 평면도이다.

도 7b는 도 7a의 I-I를 따라 취해진 낸드형 플래시 이이피롬 셀 어레이의 단면도이다.

도 7c는 본 발명의 바람직한 실시예에 따른 이이피롬을 설명하기 위하여 주변회로 트랜지스터를 나타낸 평면도이다.

도 7d는 도 7c의 II-II에 따라 취해진 주변회로 트랜지스터의 단면도이다.

도 8a 내지 도 12a는 본 발명의 바람직한 실시예에 따른 이이피롬의 제조방법을 설명하기 위하여 셀 어레이의 일부분을 나타낸 평면도들이다.

도 8b 내지 도 12b는 각각 도 8a 내지 도 12a의 I-I를 따라 취해진 단면도들이다.

도 8c 내지 도 12c는 본 발명의 바람직한 실시예에 따른 이이피롬의 제조방법을 설명하기 위하여 주변회로 트랜지스터를 나타낸 평면도들이다.

도 8d 내지 도 12d는 각각 도 8c 내지 도 12c의 II-II를 따라 취해진 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 기억소자 및 그 제조방법에 관한 것으로써, 더 구체적으로 선택 트랜지스터를 갖는 이이피롬 및 그 제조방법에 관한 것이다.
- <13> 이이피롬은 데이터를 전기적으로 기억 및 삭제하는 기억 소자로써, 대표적으로 플래시 기억 소자 및 FLOTOX 기억 소자가 있다. FLOTOX 기억 소자는 2개의 트랜지스터, 즉 메모리 트랜지스터 및 선택 트랜지스터로 구성된 기억 셀을 가진다. 이에 비하여 플래시 기억 소자는 하나의 트랜지스터가 기억 셀을 이룬다. 플래시 기억 소자 셀 어레이는 기억 셀의 배치 형태에 따라 낸드형 셀 어레이 및 노어형 셀 어레이로 구분된다. 낸드형 셀 어레이는 셀 어레이 영역에 복수개의 기억 셀들이 직렬로 연결된 셀 열들이 평행하게 배치된다. 낸드형 셀 어레이의 셀 열은 그 양 단부에 FLOTOX 기억 소자와 유사하게 선택 트랜지스터를 포함하고 있다. 그러나, 기억 셀을 선택하는 FLOTOX 기억소자의 선택 트랜지스터에 비해, 낸드형 플래시 기억 소자의 선택 트랜지스터는 셀 열을 선택한다.
- <14> 도 1은 통상적인 낸드형 플래시 기억 소자의 셀 어레이의 일부분을 나타낸 평면도이다.
- <15> 도 1을 참조하면, 통상적인 낸드형 플래시 기억 소자는 반도체 기판에 복수개의 평행한 활성영역들(4)을 한정하는 소자분리막(2)이 배치되고, 상기 활성영역들(4)의 상부를 가로질러 열 선택 라인(string selection line;SSL), 접지 선택 라인(ground selection line;GSL) 및 복수개의 워드라인들(WL)이 배치된다. 상기 열 선택 라인(SSL)과 상기 접지 선택 라인(GSL) 및

이들 사이에 배치된 복수개의 워드라인들(WL)은 기억 셀 단위(memory cell unit)를 구성한다. 낸드형 셀 어레이는 대칭적으로 반복되어 배치된 복수개의 기억 셀 단위로 구성된다. 인접하여 배치된 접지 선택 라인들(GSL) 사이에 상기 활성영역들(4)을 전기적으로 연결하는 공통 소오스 라인(CSL)이 배치되고, 인접하여 배치된 열 선택 라인들(SSL) 사이의 각 활성영역(4)에는 비트 라인 플러그(44)가 배치된다.

<16>        상기 워드라인은(WL) 상기 활성영역들(4)의 상부를 가로지르는 제어게이트 전극(49)과 각 활성영역(4) 상에 형성된 부유게이트(32)를 포함하고, 상기 접지 선택 라인(GSL) 및 상기 열 선택 라인(SSL)은 차례로 적층된 하부 게이트 패턴(24) 및 상부 게이트 패턴(30)을 포함한다. 상기 워드라인(WL)은 상기 제어 게이트 전극(49)과 상기 부유게이트(32)를 전기적으로 절연시키는 게이트 층간 유전막을 포함한다. 이에 반하여, 상기 상부 게이트 패턴(30) 및 상기 하부 게이트 패턴(24)은 전기적으로 접속되어야 한다. 따라서, 통상적으로 상기 상부 게이트 패턴(30) 및 상기 하부 게이트 패턴(24)은 버핑 콘택에 의해 전기적으로 연결하거나, 제조과정에서 상기 상부 게이트 패턴(30)과 상기 하부 게이트 패턴(24) 사이에 형성된 게이트 층간 유전막의 일부분을 제거함으로써 전기적으로 연결한다.

<17>        도 2 및 도 3은 도 1의 A-A를 따라 취해진 종래의 이이피롬의 제조방법을 설명하기 위한 공정단면도들이다.

<18>        도 2를 참조하면, 반도체 기판(10)에 활성영역(2)들을 한정하는 소자분리막(4)을 형성하고, 상기 반도체 기판(10) 상에 게이트 절연막, 제1 도전막을 형성하고, 상기 제1 도전막을 패터닝하여 제1 도전막 패턴(14)을 형성한다. 상기 제1 도전막 패턴(14)이 형성된 기판 상에 게이트 층간 유전막(inter-gate dielectric layer; 16) 및 마스크 도전막(18)을 차례로



형성한다. 상기 마스크 도전막(18) 및 상기 게이트 층간 유전막(16)을 차례로 패터닝하여 상기 제1 도전막 패턴(14)이 노출된 오프닝(20)을 형성한다. 도시하지는 않았지만, 상기 오프닝(20)은 상기 활성영역들(2)의 상부를 가로지른다. 상기 오프닝(20)은 선택 라인이 형성되는 영역(S)의 중앙에 위치하도록 형성하는 것이 바람직하다.

<19> 도 3을 참조하면, 상기 오프닝(20)이 형성된 상기 마스크 도전막(18) 상에 제2 도전막을 형성하고, 상기 제2 도전막, 상기 마스크 도전막(18), 상기 게이트 층간 유전막(16) 및 상기 제1 도전막 패턴(14)을 차례로 패터닝하여 워드라인(WL) 및 선택 라인(SL)을 형성한다. 상기 워드라인(WL)은 차례로 적층된 부유게이트(34), 제1 게이트 층간 유전막(36), 제1 마스크 도전막(38) 및 제어게이트 전극(40)을 포함하고, 상기 선택 라인(SL)은 하부 게이트 패턴(24), 제2 게이트 층간 유전막(26), 제2 마스크 도전막(28) 및 상부 게이트 패턴(30)을 포함한다. 상기 부유게이트(34) 및 상기 제어게이트 전극(40)은 전기적으로 절연되지만, 상기 하부 게이트 패턴(24) 및 상기 상부 게이트 패턴(30)은 상기 오프닝(20)을 통해서 전기적으로 서로 연결된다. 상기 오프닝(20)의 폭은 예컨대 상기 선택 라인 폭(L)의  $\frac{1}{2}$ 로 형성할 수 있다. 이 경우, 상기 오프닝(20)과 상기 선택 라인(SL)의 오정렬 허용도는  $\frac{L}{4}$ 이 된다.

<20> 도 4 내지 도 5는 종래기술의 문제점을 설명하기 위한 공정 단면도들이다.

<21> 도 4를 참조하면, 상기 오프닝(20)이 오정렬되거나, 상기 선택 라인(SL)이 오정렬되면, 상기 오프닝(20)의 일부분(46)은 상기 선택 라인 영역(S)을 벗어난다.

<22> 도 5를 참조하면, 상기 제2 도전막을 형성하고, 상기 게이트 층간 유전막(16)을 식각마스크로 사용하여 상기 제2 도전막 및 상기 마스크 도전막을 패터닝하여 제어 게이트 전극(40), 상부 게이트 패턴(30) 및 제1, 제2 마스크 도전막(38, 28)을 형성한다. 이 때, 상기 선택 라인

영역(S)을 벗어난 오프닝 영역(46)의 상기 제1 도전막 패턴(14)이 제거되어 상기 게이트 절연막(12)이 노출된다.

<23> 도 6을 참조하면, 상기 게이트 층간 유전막(16) 및 상기 제1 도전막 패턴(14)을 패터닝하여 부유게이트(34), 하부 게이트 패턴(24) 및 제1, 제2 게이트 층간 유전막(36, 26)을 형성한다. 이 때, 상기 오프닝 영역(20)의 반도체 기판이 식각손상을 받거나, 더욱 심할 경우, 상기 선택 라인(SL)에 인접한 홈(notch; 48)가 형성될 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자 하는 기술적 과제는 선택 라인의 상부 도전층 및 하부 도전층이 오프닝을 통해 전기적으로 연결됨으로써 집적도가 높은 이이피롬 및 그 제조방법을 제공하는데 있다.

<25> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 오프닝과 선택 라인 간의 오정렬 허용도가 높은 이이피롬 및 그 제조방법을 제공하는데 있다.

<26> 본 발명이 이루고자 하는 또 다른 기술적 과제는 기억 셀과 주변회로 트랜지스터를 집적하는 방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

<27> 상기 기술적 과제들을 달성하기 위하여 본 발명은 선택 트랜지스터를 갖는 이이피롬을 제공한다. 이 소자는, 반도체 기판 상에 서로 이격되어 배치된 셀 게이트 패턴 및 선택 게이트 패턴을 포함한다. 상기 셀 게이트 패턴은 상기 반도체 기판 상에 차례로 적층된 터널산화막, 부유게이트, 제1 게이트 층간 유전막 및 제어 게이트 전극을 포함하고, 상기 선택 게이트 패턴은 상기 반도체 기판 상에 차례로 적층된 게이트 산화막, 하부 게이트 패턴, 제2 게이트 층간

유전막 및 상부 게이트 패턴을 포함한다. 상기 제2 게이트 층간 유전막의 폭은 상기 선택 게이트 패턴의 폭보다 좁고, 상기 선택 게이트 패턴의 일 측벽으로 부터 중심을 향해 측방으로 연장되어 상기 상부 게이트 패턴 및 상기 하부 게이트 패턴 사이의 일부분에 개재된다.

<28> 본 발명은 낸드형 플래시 이이피롬의 셀 어레이에 적용될 수 있다.

<29> 본 발명에 따른 낸드형 플래시 이이피롬의 셀 어레이는 반도체 기판에 배치되어 복수개의 평행한 활성영역들을 한정하는 소자분리막을 포함한다. 한 쌍의 선택 게이트 라인들이 상기 활성영역들의 상부를 서로 평행하게 가로지른다. 상기 선택 게이트 라인들은 각각 차례로 적층된 하부 게이트 패턴, 제2 게이트 층간 유전막 및 상부 게이트 패턴을 포함한다. 상기 선택 라인들 사이에 복수개의 워드라인들이 평행하게 배치된다. 상기 워드라인들은 상기 활성영역들의 상부를 가로지르고, 각각 차례로 적층된 부유게이트 패턴, 제1 게이트 층간 유전막 및 제어 게이트 전극을 포함한다. 상기 제2 게이트 층간 유전막은 상기 각 선택 라인의 폭보다 폭이 좁고, 상기 선택 라인의 일 측벽으로 부터 중심을 향해 측방으로 연장되어 상기 상부 게이트 패턴 및 상기 하부 게이트 패턴의 사이의 일부분에 개재된다. 상기 셀 게이트 패턴은 낸드형 플래시 기억소자의 워드라인에 해당하고, 상기 선택 게이트 패턴은 낸드형 플래시 기억소자의 선택 라인에 해당한다.

<30> 상기 기술적 과제들을 달성하기 위하여 본 발명은 이이피롬의 제조방법을 제공한다. 이 방법은 반도체 기판에 소자분리막을 형성하여 복수개의 평행한 활성영역들을 한정하고, 상기 활성영역들 상에 제1 도전막 패턴을 형성하는 것을 포함한다. 상기 제1 도전막 패턴이 형성된 기판 상에 콘포말한 게이트 층간 유전막을 형성한다. 상기 게이트 층간 유전막을 패터닝하여 상기 활성영역들의 상부를 가로지르는 오프닝을 형성한다. 상기 오프닝이 형성된 기판의 전면 에 제2 도전막을 형성한다. 상기 제2 도전막, 상기 게이트 층간 유전막 및 상기 제1 도전막 패

턴을 차례로 패터닝하여, 상기 활성영역들 상부를 가로지르는 워드라인과, 상기 오프닝에 일부 중첩되어 상기 오프닝과 평행하게 상기 활성영역들의 상부를 가로지르는 선택 라인을 형성한다.

<31> 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<32> 도 7a는 본 발명의 바람직한 실시예에 따른 이이피롬을 설명하기 위하여 낸드형 플래시 이이피롬의 셀 어레이를 나타낸 평면도이다.

<33> 도 7b는 도 7a의 I-I를 따라 취해진 단면도이다.

<34> 도 7c는 본 발명의 바람직한 실시예에 따른 이이피롬을 설명하기 위하여 주변회로 트랜지스터를 나타낸 평면도이다.

<35> 도 7d는 도 7c의 II-II를 따라 취해진 단면도이다.

<36> 도 7a 및 도 7b를 참조하면, 이 이이피롬 셀 어레이는 반도체 기판(50)에 복수개의 평행한 제1 활성영역들(54)을 한정하는 소자분리막(52)을 포함한다. 접지 선택 라인(GSL) 및 열 선택 라인(SSL)이 상기 제1 활성영역들(54)의 상부를 가로지

른다. 상기 접지 선택 라인(GSL) 및 상기 열 선택 라인(SSL) 사이에 복수개의 평행한 워드라인들(WL)이 배치되어 상기 제1 활성영역들(54)의 상부를 가로지른다. 상기 접지 선택 라인(GSL)과, 상기 열 선택 라인(SSL) 및 이들 사이의 상기 워드라인들(WL)은 기억 셀 단위를 구성하고, 셀 어레이는 복수개의 기억 셀 단위를 포함한다. 인접한 기억 셀 단위들은 서로 대칭적으로 배치된다. 이웃한 접지 선택 라인들(GSL) 사이에는 공통 소오스 라인(CSL)이 배치되고, 이웃한 열 선택 라인들(SSL) 사이의 제1 활성영역(54)의 각각에 비트라인 플러그(78)가 접속된다. 상기 공통 소오스 라인(CSL)은 상기 워드라인(WL) 및 상기 선택 라인(SSL, GSL)과 평행하게 배치되어 상기 제1 활성영역들(54)의 상부를 가로지르고, 상기 제1 활성영역들(54)을 전기적으로 연결한다.

<37>        상기 워드라인(WL)은 상기 제1 활성영역들(54)의 상부를 가로지르는 제어게이트 전극(68a) 및 각각의 제1 활성영역들(54)과 상기 제어게이트 전극(68a) 사이에 개재된 부유게이트들(60f)을 포함한다. 상기 부유게이트들(60f)과 상기 제어게이트 전극(68a) 사이에는 제1 게이트 층간 유전막(62a)이 개재되어, 상기 부유게이트(60f)와 상기 제어게이트 전극(68a)은 전기적으로 절연된다. 상기 제1 게이트 층간 유전막(62a)은 상기 제어게이트 전극(68a)에 정렬되어 상기 제1 활성영역들(54)의 상부를 가로지른다.

<38>        상기 접지 선택 게이트(GSL) 및 상기 열 선택 게이트(SSL)는 각각 하부 게이트 패턴(60b) 및 상부 게이트 패턴(68b)을 포함한다. 상기 하부 게이트 패턴(60b) 및 상기 상부 게이트 패턴(68b)은 상기 제1 활성영역들(54)의 상부를 가로지른다. 상기 하부 게이트 패턴(60b) 및 상기 상부 게이트 패턴(68b) 사이에는 제2 게이트 층간 유전막(62b)이 개재된다. 상기 제2 게이트 층간 유전막(62b)은 상기 각 선택 라인의 일 측벽으로부터 선택 라인의 중앙을 향하여 연장되어 있다. 상기 제2 게이트 층간 유전막(62b)의 폭은 이를 포함하는 각 선택 라인의 폭보

다 좁기때문에 상기 하부 게이트 패턴(60b) 및 상기 상부 게이트 패턴(68b)은 전기적으로 서로 접속될 수 있다.

- <39>        상기 제어 게이트 전극(68a) 상에 제1 하드마스크 패턴(70a)이 더 형성될 수 있고, 상기 상부 게이트 패턴(68b) 상에 제2 하드마스크 패턴(70b)이 더 형성될 수 있다. 또한, 상기 제1 게이트 층간 유전막(62a) 상에 제1 마스크 도전막(64a)이 더 형성될 수도 있고, 상기 제2 게이트 층간 유전막(62b) 상에 제2 마스크 도전막(64b)이 더 형성될 수도 있다.
- <40>        상기 공통 소오스 라인(CSL) 및 상기 비트라인 플러그(78)는 상기 워드라인들(WL), 상기 접지 선택 라인(GSL) 및 상기 열 선택 라인(SSL)이 배치된 반도체 기판의 전면을 덮는 층간절연막(interlayer dielectric layer;74) 내에 형성된다.
- <41>        상기 부유게이트(60f)와 상기 제1 활성영역(54) 사이에 터널 산화막(58a)이 개재되고, 상기 하부 게이트 패턴(60b)과 상기 제1 활성영역(54) 사이에 게이트 산화막(58b)이 개재된다.
- <42>        도 7c 및 도 7d를 참조하면, 이 이이피롬의 주변회로 영역은 소자분리막(52)이 형성되어 제2 활성영역(56)을 한정한다. 편의상, 주변회로 영역은 주변회로 트랜지스터만을 도시한다. 상기 활성영역(56)의 상부를 가로질러 주변회로 게이트 전극(80c)이 배치된다. 상기 주변회로 게이트 전극(80c)은 차례로 적층된 하부 도전막 패턴(60c) 및 상부 도전막 패턴(68c)을 포함한다. 상기 상부 도전막 패턴(68c) 상에 하드마스크 패턴(70c)이 더 형성될 수도 있다. 상기 하부 도전막 패턴(60c)은 상기 부유게이트(60f) 및 상기 하부 게이트 패턴(60b)과 같은 층이고, 상기 상부 도전막 패턴(68c)은 상기 제어게이트 전극(68a) 및 상기 상부 게이트 패턴(68b)과 같은 층이다. 또한, 상기 하드 마스크 패턴(70c)은 상기 제1 하드마스크 패턴(70a) 및 상기 제2 하드마스크 패턴(70b)과 같은 층이다. 상기 하부 도전막 패턴(60c)과 상기 제2 활성영역(56) 사이에 게이트 절연막(58)이 개재된다. 상기 층간 절연막(74)은 상기 주변회로 영역에도 형성



된다. 상기 층간 절연막(74)을 내에 상기 제2 활성영역(56)에 접속된 플러그 전극(84)이 상기 주변회로 게이트 전극(82) 양측에 배치되고, 상기 주변회로 게이트 전극(80c) 상에도 게이트 플러그(82)가 접속된다.

<43> 도 8a 내지 도 12a는 본 발명의 바람직한 실시예에 따른 이이피롬의 제조방법을 설명하기 위하여 셀 어레이의 일부분을 나타낸 평면도들이다.

<44> 도 8b 내지 도 12b는 각각 도 8a 내지 도 12a의 I-I를 따라 취해진 단면도들이다.

<45> 도 8c 내지 도 12c는 본 발명의 바람직한 실시예에 따른 이이피롬의 제조방법을 설명하기 위하여 주변회로 트랜지스터를 나타낸 평면도들이다.

<46> 도 8d 내지 도 12d는 각각 도 8c 내지 도 12c의 II-II를 따라 취해진 단면도들이다.

<47> 도 8a, 8b, 8c 및 8d를 참조하면, 반도체 기판(50)에 소자분리막(52)을 형성하여 셀 어레이 영역에 복수개의 평행한 제1 활성영역들(54)을 한정한다. 주변회로 영역에는 제2 활성영역(56)이 한정된다. 상기 제1 활성영역들(54)과 상기 제2 활성영역들(56) 상에 각각 게이트 절연막(58)을 형성하고, 상기 반도체 기판의 전면에서 제1 도전막(60)을 형성한다. 상기 제1 도전막(60)을 패터닝하여 상기 제1 활성영역들(54)의 상부에 제1 도전막 패턴(60a)을 형성한다. 상기 제1 도전막 패턴(60a)은 상기 제1 활성영역들(54)과 평행한 부분과, 상기 제1 활성영역들(54)과 교차하는 부분을 가진다. 상기 제1 활성영역들(54)과 교차하는 부분은 열 선택 라인 및 접지 선택 라인들이 형성될 선택 라인 영역(SL)을 포함하는 영역에 형성된다. 상기 주변회로 영역의 상기 제1 도전막(60)은 그대로 유지된다.

<48> 상기 제1 도전막 패턴(60a)이 형성된 반도체 기판 상에 게이트 층간 유전막(62)을 콘포말하게 형성한다. 상기 게이트 층간 유전막(62) 상에 마스크 도전막(64)을 더 형성할 수도 있

다. 상기 게이트 층간 유전막(62)은 실리콘산화막보다 높은 유전상수를 갖는 물질로써, 예컨대 ONO막 또는 금속산화막으로 형성할 수 있다. 상기 마스크 도전막(64)은 상기 게이트 층간 유전막(62)을 보호하기 위한 막으로써 폴리실리콘막을 사용하여 100Å 내지 200Å의 두께로 형성하는 것이 바람직하다.

<49> 도 9a, 9b, 9c 및 9d를 참조하면, 상기 마스크 도전막(64) 및 상기 게이트 층간 유전막(62)을 패터닝하여 상기 제1 활성영역들(54)의 상부를 가로지르는 오프닝(66)을 형성한다. 상기 오프닝(66)은 이웃한 한 쌍의 선택 라인 영역들(SL)에 중첩되도록 형성한다. 예컨대, 상기 오프닝(66)의 양측 경계는 이웃한 선택 라인 영역들(SL)의 중앙에 각각 위치하도록 형성하는 것이 바람직하다. 이 때, 상기 주변회로 영역의 상기 마스크 도전막(64) 및 상기 게이트 층간 유전막(62)도 제거하여 상기 제1 도전막(60)을 노출시킨다.

<50> 도 10a, 10b, 10c 및 10d를 참조하면, 상기 반도체 기판(50)의 전면에 제2 도전막(68)을 형성한다. 상기 제2 도전막(68)은 폴리실리콘막으로 형성할 수 있고, 상기 폴리실리콘막 상에 저저항의 금속실리사이드막을 더 포함할 수 있다. 또한, 상기 제2 도전막(68) 상에 하드마스크막(70)을 더 형성할 수도 있다.

<51> 도 11a, 11b, 11c 및 11d를 참조하면, 상기 반도체 기판 상에 주변회로 게이트 전극, 워드라인 및 선택 라인들을 정의하는 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 하드 마스크막(70), 상기 제2 도전막(68), 상기 마스크 도전막(64) 및 상기 셀 영역의 상기 제1 도전막 패턴(60a)과 상기 주변회로 영역의 상기 제1 도전막(60)을 차례로 패터닝한다. 그 결과, 상기 제1 활성영역들(54)의 상부를 가로지르는 상부 게이트 패턴들(68b)과 복수개의 평행한 제어게이트 전극(68a)이 형성되고, 상기 제2 활성영역(56) 상부를 가로지르는 상부 도전막 패턴(68c)이 형성된다. 이 때, 게이트 층간 유전막(62)은 식각



저지막으로 사용된다. 따라서, 상기 게이트 층간 유전막(62)이 제거된 이웃한 상부 게이트 패턴들(68b) 사이의 상기 제1 도전막 패턴(60a)이 상기 상부 게이트 패턴(68b)의 측벽에 정렬되어 식각된다. 그 결과, 상기 제어게이트 전극(68a) 하부에는 제1 마스크 패턴(64b)이 형성되고, 상기 상부 게이트 패턴(68b) 하부에는 제2 마스크 패턴(64b)이 형성된다. 상기 상부 게이트 패턴(68b)의 일부분은 상기 제1 도전막 패턴(60a)과 접한다.

<52> 본 발명에서, 상기 제1 도전막(60) 및 상기 제1 도전막 패턴(60a)이 식각되는 동안, 상기 제1 활성영역(54) 및 상기 제2 활성영역(56)은 상기 게이트 절연막(58)에 의해 보호된다. 상기 제어게이트 전극(68a) 및 상기 상부 게이트 패턴(68b) 상에 각각 제1 하드마스크 패턴(70a) 및 제2 하드마스크 패턴(70b)이 형성된다.

<53> 도 12a, 12b, 12c 및 12d를 참조하면, 상기 주변회로 영역을 덮고, 상기 셀 영역의 이웃한 상기 상부 게이트 패턴(68c)들 사이의 갭 영역을 덮는 포토레지스트 패턴(72)을 형성한다. 상기 포토레지스트 패턴(72)은 상기 상부 게이트 패턴(68c)의 일부분도 덮는다. 상기 포토레지스트 패턴(72)을 식각 마스크로 사용하여 상기 게이트 층간 유전막(62), 상기 제1 도전막 패턴(60a)을 패터닝하여 상기 제어게이트 전극(68a)에 정렬된 제1 게이트 층간 유전막(62a) 및 부유게이트(60f)를 형성하고, 상기 상부 게이트 패턴(68b)에 정렬된 제2 게이트 층간 유전막(62b) 및 하부 게이트 패턴(60b)을 형성한다. 낸드형 셀 어레이의 워드라인은 상기 부유게이트 패턴(60f), 상기 제1 게이트 층간 유전막(62a) 및 상기 제어게이트 전극(68a)을 포함한다. 또한, 접지 선택 라인(GSL) 및 열 선택 라인(SSL)은 상기 하부 게이트 패턴(60b), 상기 제2 게이트 층간 유전막(62b) 및 상기 상부 게이트 패턴(68b)을 포함한다.

<54> 상기 부유게이트 패턴은 각각의 제1 활성영역(54) 상에 격리되어 형성되고,

상기 제1 게이트 층간 유전막(62a)은 상기 제어게이트 전극(68a)에 정렬되어 상기 제1 활성영역들(54)의 상부를 가로지른다. 상기 부유게이트 패턴(60f)은 상기 소자분리막(52) 상에 연장된 부분을 갖는다. 상기 하부 게이트 패턴(60b)은 상기 상부 게이트 패턴(68b)에 정렬되어 상기 제1 활성영역들(54)의 상부를 가로지른다. 상기 제2 게이트 층간 유전막(62b)은 상기 제1 활성영역들(54)의 상부를 가로지른다. 그러나, 상기 제2 게이트 층간 유전막(62b)의 폭은 상기 상부 게이트 패턴(68b)의 폭보다 좁다. 예컨대, 상기 오프닝(66)의 측벽이 선택 라인의 중앙에 위치하도록 디자인할 경우, 상기 제2 게이트 층간 유전막(62b)의 폭은 상기 상부 게이트 패턴(68b)의 폭의 절반이 된다. 상기 제2 게이트 층간 유전막(62b)은 일측벽이 상기 상부 게이트 패턴(68b)의 일측벽에 정렬되고, 상기 상부 게이트 패턴(68b)의 중심을 향하여 측방으로 연장된다.

<55> 이상 실시예에서와 같이, 본 발명은 낸드형 플래시 기억 소자에 적용할 수 있다. 뿐만 아니라, 본 발명은 메모리 트랜지스터 및 선택 트랜지스터를 갖는 FLOTOX 이이피롬에 적용할 수도 있다. 간략하게 요약하면, 본 발명의 워드라인은 FLOTOX 이이피롬의 메모리 트랜지스터의 게이트 전극에 해당하고, 본 발명의 선택 라인은 FLOTOX 이이피롬의 선택 트랜지스터의 게이트 라인에 해당한다.

#### 【발명의 효과】

<56> 상술한 것과 같이, 본 발명에 따르면 선택 라인에 포함된 게이트 층간 유전막의 일부를 제거함으로써 하부 게이트 패턴 및 상부 게이트 패턴을 전기적으로 연결할 수 있다. 양 측 경계가 이웃한 두개의 선택 라인에 각각 중첩되는 영역의 게이트 층간 유전막을 제거함으로써, 상기 게이트 층간 유전막의 폭은 상기 선택 라인의 폭보다 좁고, 상기 게이트 층간 유전막의 일측벽은 상기 선택 라인의 일 측벽에 정렬되게 형성된다.

&lt;57&gt;

상부 게이트 패턴과 하부 게이트 패턴의 접촉 폭이 선택 라인의  $\frac{1}{2}$  일 때, 종래 기술에 따르면 도 3에 도시된 것과 같이, 오정렬 허용도가  $\frac{L}{4}$  이지만, 본 발명에 따르면 도 12b에 도시된 것과 같이 오정렬 허용도가  $\frac{L}{2}$  이다. 따라서, 본 발명에 따르면 상부 게이트 패턴 및 하부 게이트 패턴 간의 동일한 접촉면적을 가질 때 오정렬 허용도를 높일 수 있다. 만일 제조공정이  $\frac{L}{4}$ 의 정렬 오차를 가진다면, 본 발명에 따를 경우 상부 게이트 패턴과 하부 게이트 패턴의 접촉 면적을 증가시켜 선택라인의 신호 전송 속도를 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 서로 이격되어 배치된 셀 게이트 패턴 및 선택 게이트 패턴을 포함하  
되,

상기 셀 게이트 패턴은 상기 반도체 기판 상에 차례로 적층된 터널산화막, 부유게이트,  
제1 게이트 층간 유전막 및 제어 게이트 전극을 포함하고,

상기 선택 게이트 패턴은 상기 반도체 기판 상에 차례로 적층된 게이트 산화막, 하부 게  
이트 패턴, 제2 게이트 층간 유전막 및 상부 게이트 패턴을 포함하되,

상기 제2 게이트 층간 유전막의 폭은 상기 선택 게이트 패턴의 폭보다 좁고, 상기 선택  
게이트 패턴의 일 측벽으로 부터 중심을 향해 측방으로 연장되어 상기 상부 게이트 패턴 및 상  
기 하부 게이트 패턴 사이의 일부분에 개재된 것을 특징으로 하는 비휘발성 기억 소자.

**【청구항 2】**

제1 항에 있어서,

상기 제어게이트 패턴 및 상기 상부 게이트 패턴은 각각 상기 제1 게이트 층간 유전막  
및 상기 제2 게이트 층간 유전막 상에 형성된 마스크 도전막을 더 포함하는 것을 특징으로 하  
는 비휘발성 기억 소자.

**【청구항 3】**

제1 항에 있어서,

상기 상부 게이트 패턴 및 상기 하부 게이트 패턴은 전기적으로 접속된 것을 특징으로  
하는 비휘발성 기억 소자.

**【청구항 4】**

반도체 기판에 배치되어 복수개의 평행한 활성영역들을 한정하는 소자분리막;

상기 활성영역들의 상부를 서로 평행하게 가로지르되, 각각 차례로 적층된 하부 게이트 패턴, 제2 게이트 층간 유전막 및 상부 게이트 패턴을 포함하는 한 쌍의 선택 라인들; 및

상기 선택 라인들 사이에 배치되어 상기 활성영역들의 상부를 서로 가로지르고, 각각 차례로 적층된 부유게이트 패턴, 제1 게이트 층간 유전막 및 제어 게이트 전극을 포함하는 복수개의 워드라인들을 포함하되,

상기 제2 게이트 층간 유전막은 상기 각 선택 라인의 폭보다 폭이 좁고, 상기 선택 라인의 일 측벽으로부터 중심을 향해 측방으로 연장되어 상기 상부 게이트 패턴 및 상기 하부 게이트 패턴의 사이의 일부분에 개재된 것을 특징으로 하는 비휘발성 기억소자.

**【청구항 5】**

제4 항에 있어서,

상기 부유게이트 패턴은 상기 워드라인 하부의 상기 각 활성영역 상에 형성되고,

상기 하부 게이트 패턴은 상기 상부 게이트 패턴 하부에 배치되어, 상기 활성영역들의 상부를 가로지르는 것을 특징으로 하는 비휘발성 기억소자.

**【청구항 6】**

제4 항에 있어서,

상기 제2 게이트 층간유전막은,

상기 활성영역 상부를 가로지르는 것을 특징으로 하는 비휘발성 기억소자.

**【청구항 7】**

제4 항에 있어서,

상기 제1 게이트 층간 유전막과 상기 제어 게이트 전극 사이; 및

상기 제2 게이트 층간 유전막과 상기 상부 게이트 패턴 사이에 각각 개재된 마스크 도전막을 더 포함하는 것을 특징으로 하는 비휘발성 기억소자.

**【청구항 8】**

제4 항에 있어서,

상기 제1 게이트 층간 유전막 및 상기 제2 층간 유전막은 각각 실리콘산화막보다 높은 유전상수를 갖는 적어도 한층의 유전막을 포함하는 것을 특징으로 하는 비휘발성 기억 소자.

**【청구항 9】**

제4 항에 있어서,

상기 소자분리막에 의해 한정된 제2 활성영역; 및

상기 제2 활성영역 상부를 가로지르는 주변회로 게이트 패턴을 더 포함하되,

상기 주변회로 게이트 패턴은,

차례로 적층되어 전기적으로 서로 접속된 하부 도전막 패턴 및 상부 도전막 패턴을 포함하는 것을 특징으로 하는 비휘발성 기억소자.

**【청구항 10】**

반도체 기판에 소자분리막을 형성하여 복수개의 평행한 활성영역들을 한정하는 단계;

상기 활성영역들 상에 제1 도전막 패턴을 형성하는 단계;

상기 제1 도전막 패턴이 형성된 기판 상에 콘포말한 게이트 층간 유전막을 형성하는 단계;

상기 게이트 층간 유전막을 패터닝하여 상기 활성영역들의 상부를 가로지르는 오프닝을 형성하는 단계;

상기 오프닝이 형성된 기판의 전면에 제2 도전막을 형성하는 단계; 및

상기 제2 도전막, 상기 게이트 층간 유전막 및 상기 제1 도전막 패턴을 차례로 패터닝하여, 상기 활성영역들 상부를 가로지르는 워드라인과, 상기 오프닝에 일부 중첩되어 상기 오프닝과 평행하게 상기 활성영역들의 상부를 가로지르는 선택 라인을 형성하는 단계를 포함하는 비휘발성 기억소자의 제조방법.

#### 【청구항 11】

제10 항에 있어서,

상기 게이트 층간 유전막 상에 마스크 도전막을 콘포말하게 형성하는 단계를 더 포함하되, 상기 오프닝은 상기 마스크 도전막 및 상기 게이트 층간 유전막을 차례로 패터닝하여 형성하는 것을 특징으로 하는 비휘발성 기억소자의 제조방법.

#### 【청구항 12】

제10 항에 있어서,

상기 워드라인 및 상기 선택 라인을 형성하는 단계는,

상기 게이트 층간 유전막을 식각마스크로 사용하여 상기 제2 도전막 및 상기 오프닝에 노출된 상기 제1 도전막 패턴을 패터닝하여, 상기 활성영역들의 상부를 가로지르는 제어 게이

트 전극과, 상기 제어게이트 전극과 인접하여 상기 활성영역들의 상부를 가로지르는 상부 게이트 패턴을 형성하는 단계; 및

상기 게이트 층간 유전막 및 상기 제1 도전막을 패터닝하여 상기 제어게이트 전극 및 상기 상부 게이트 패턴의 하부에 각각 정렬된 부유게이트 및 하부 게이트 패턴을 형성하는 단계를 포함하는 비휘발성 기억소자의 제조방법.

### 【청구항 13】

셀 영역 및 주변 영역이 정의된 반도체 기판에 소자분리막을 형성하여 상기 셀 영역에 복수개의 평행한 제1 활성영역들을 한정하고, 상기 주변 영역에 제2 활성영역을 한정하는 단계;

상기 반도체 기판 상에 제1 도전막을 형성하는 단계;

상기 셀 영역의 상기 제1 도전막을 패터닝하여 상기 제1 활성영역들 상에 제1 도전막 패턴을 형성하는 단계;

상기 제1 도전막 패턴이 형성된 기판 상에 콘포말한 게이트 층간 유전막을 형성하는 단계;

상기 게이트 층간 유전막을 패터닝하여 상기 제1 활성영역들의 상부를 가로지르는 오프닝을 형성함과 동시에 상기 주변 영역의 제1 도전막을 노출시키는 단계;

상기 오프닝이 형성된 기판의 전면에 제2 도전막을 형성하는 단계; 및

상기 제2 도전막, 상기 게이트 층간 유전막 및 상기 제1 도전막 패턴을 차례로 패터닝하여, 상기 제1 활성영역들 상부를 가로지르는 워드라인과, 상기 오프닝에 일부 중첩되어 상기 오프닝과 평행하게 상기 제1 활성영역들의 상부를 가로지르는 선택 라인과, 상기 제2 활성영역





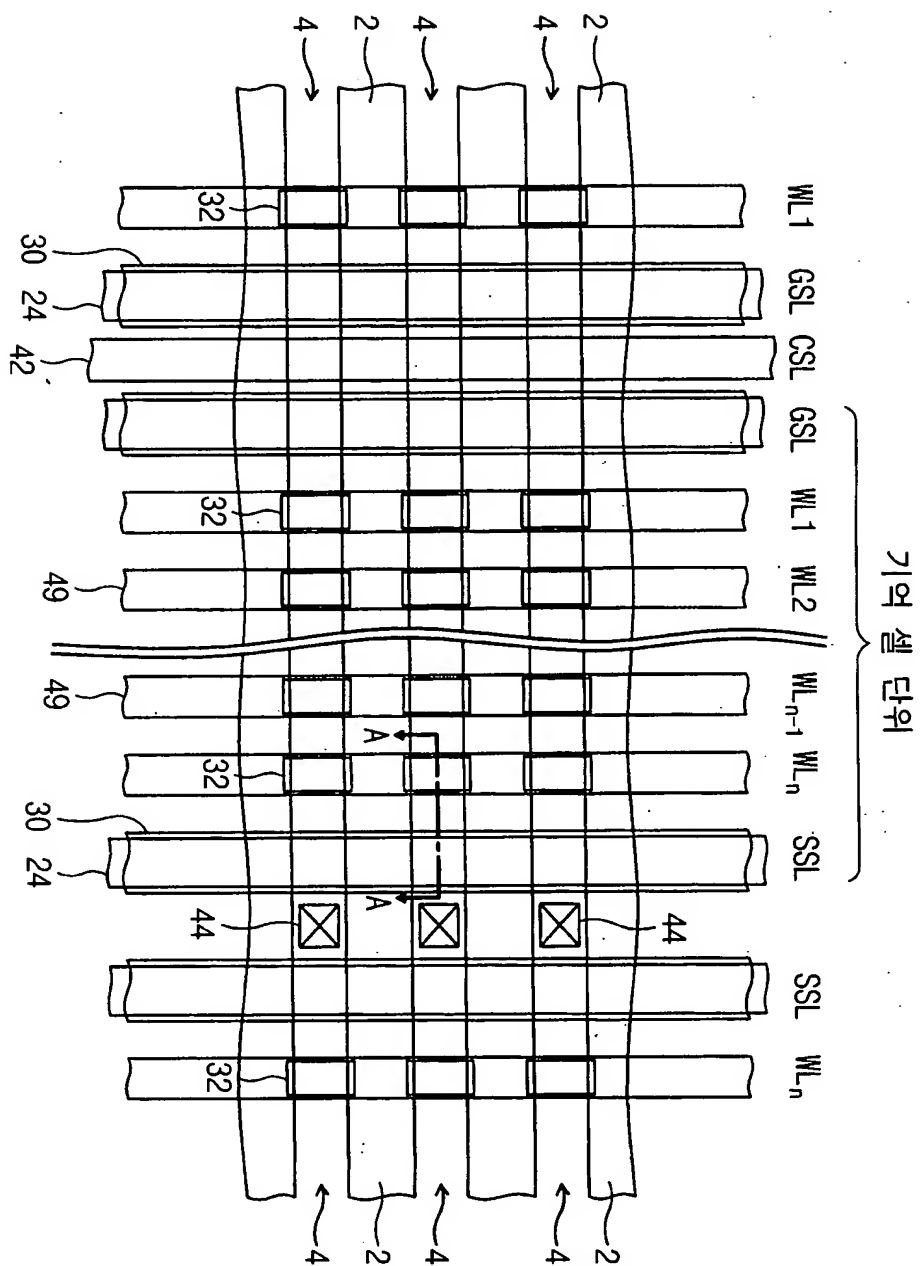
1020030014853

출력 일자: 2003/11/18

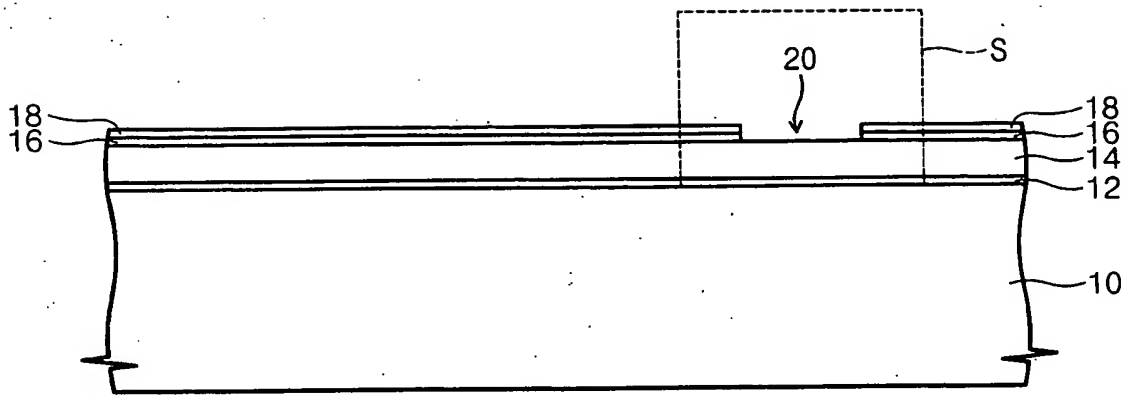
상부를 가로지르는 주변회로 게이트 패턴을 형성하는 단계를 포함하는 비휘발성 기억소자의  
제조방법.

【도면】

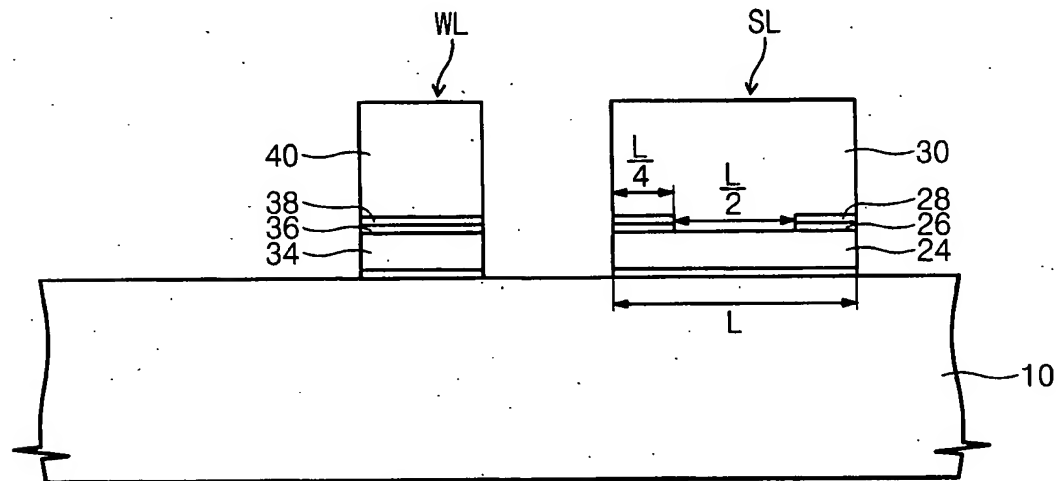
【도 1】



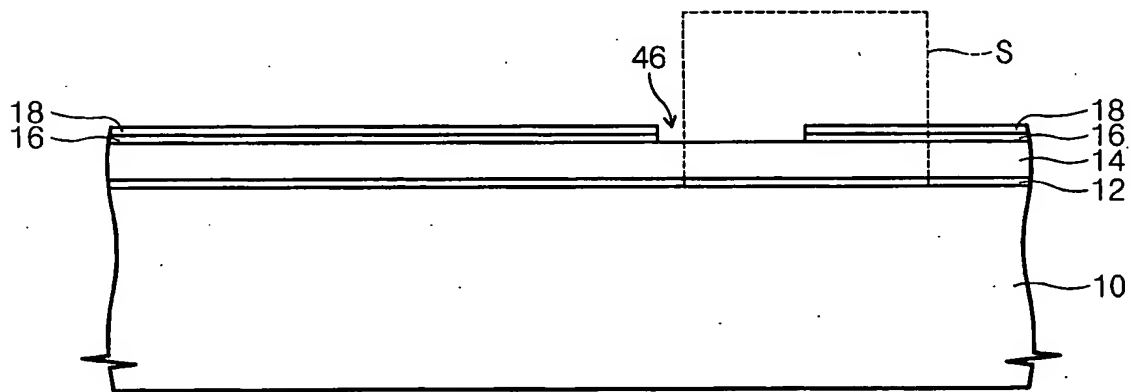
【도 2】



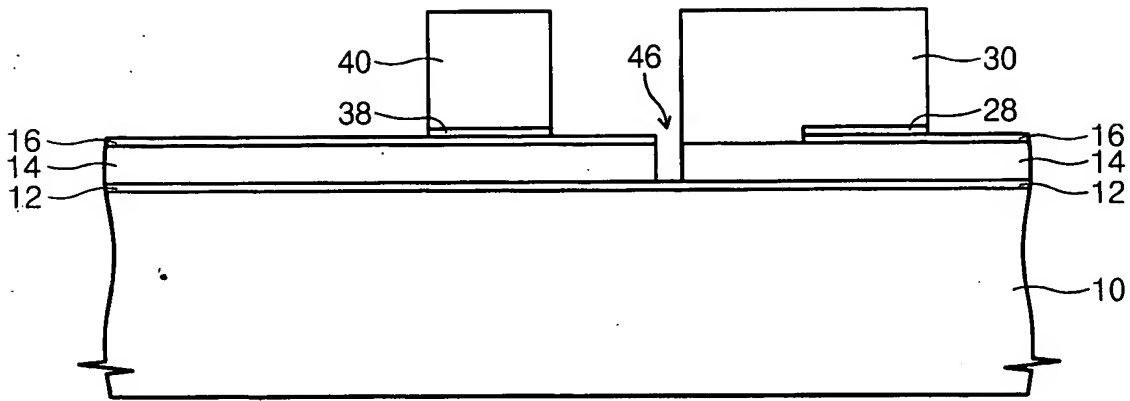
【도 3】



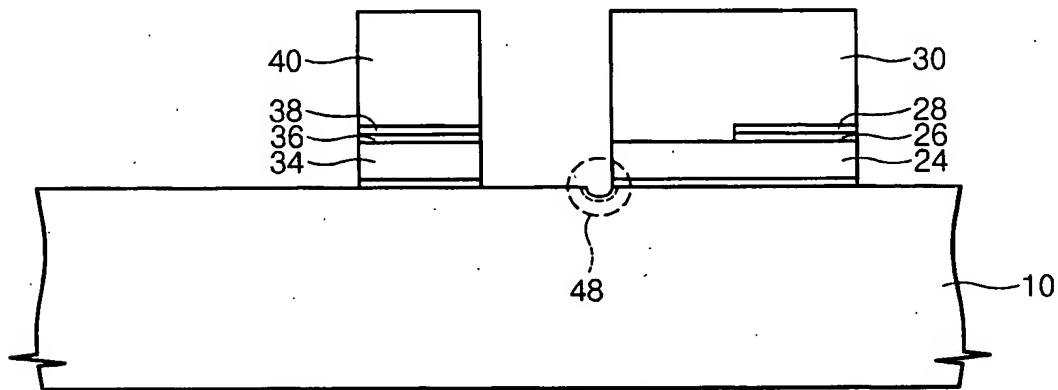
【도 4】



【도 5】

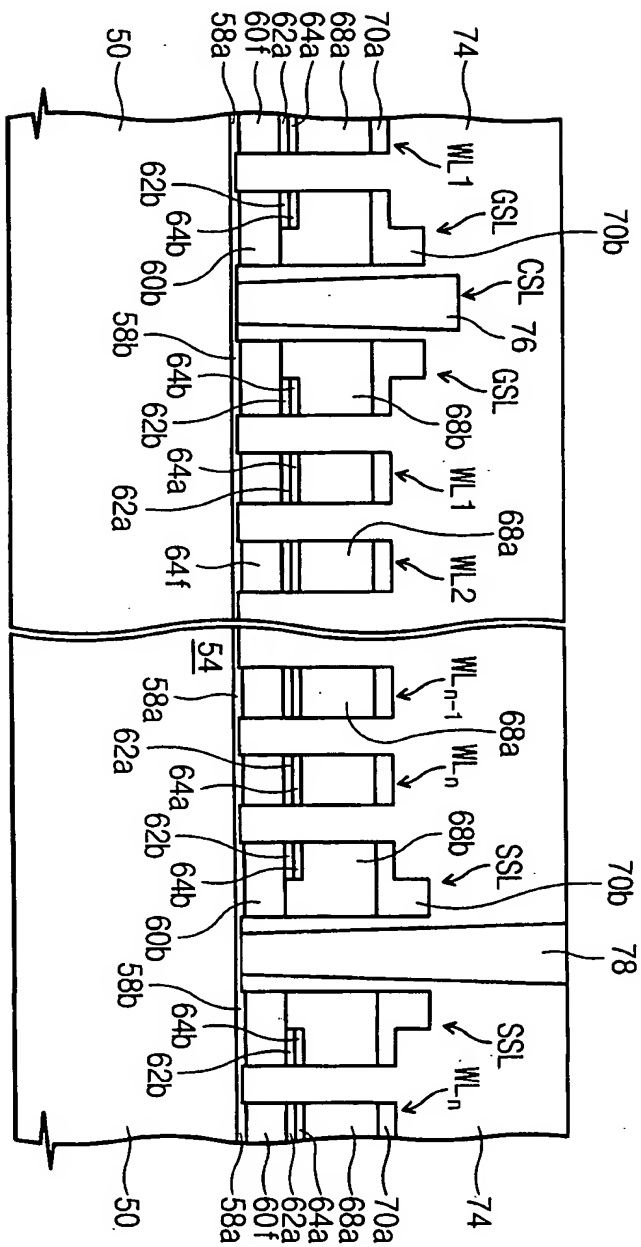


【도 6】

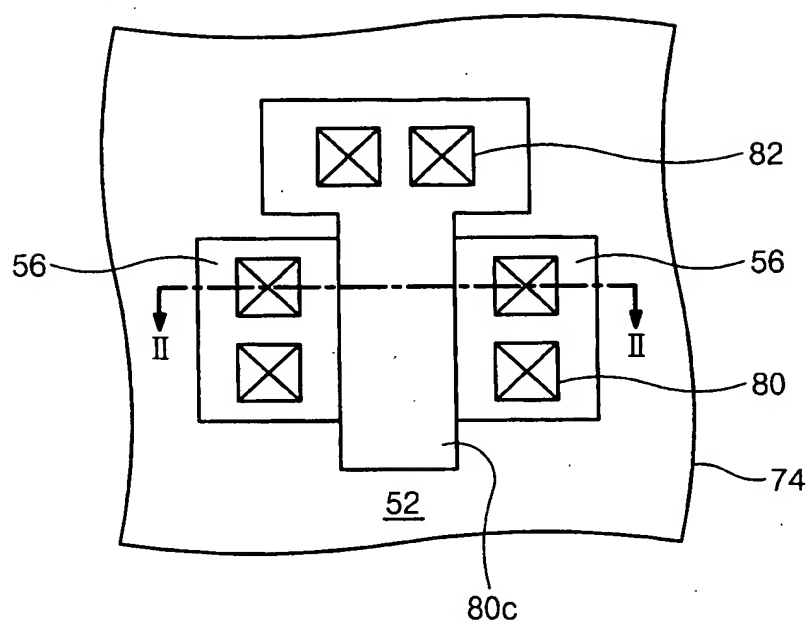




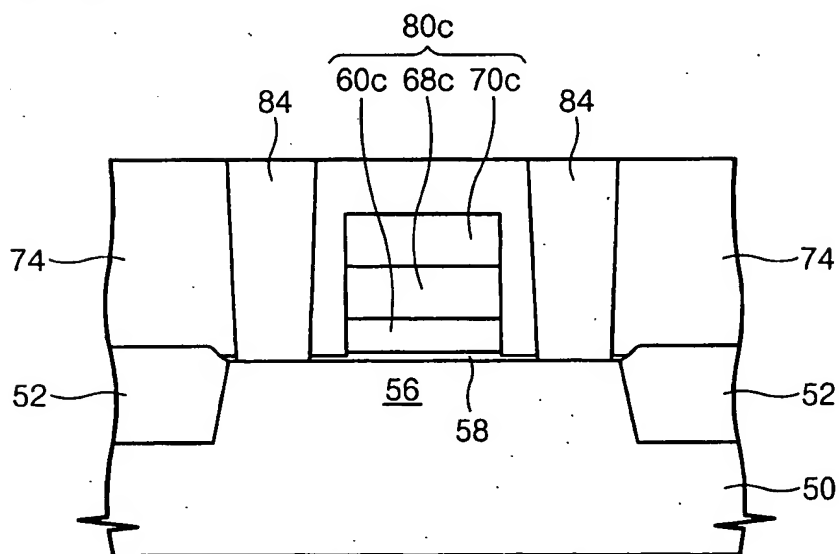
【도 7b】



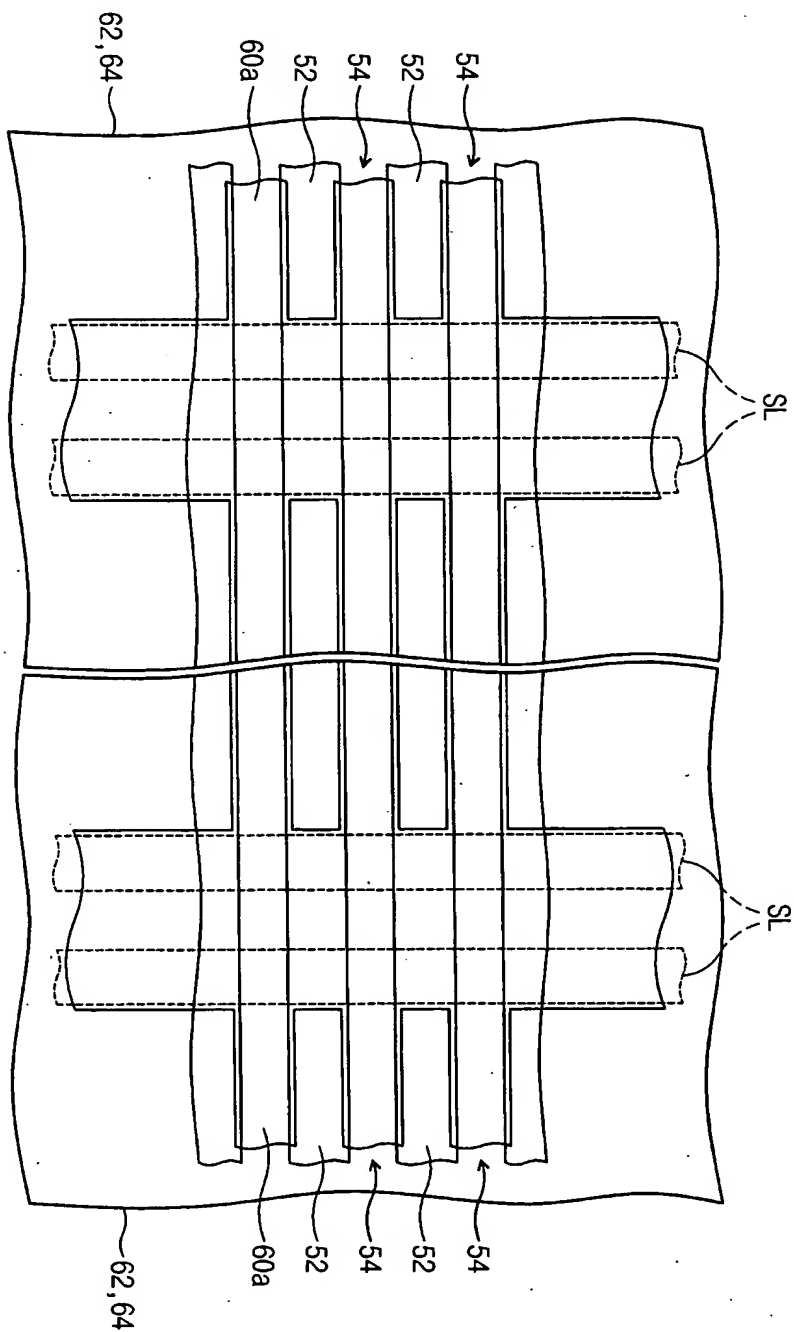
【도 7c】



【도 7d】

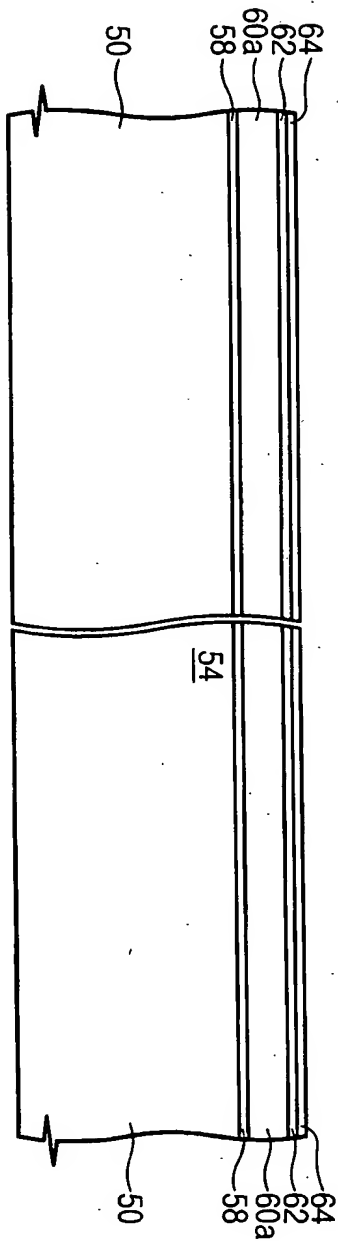


【도 8a】

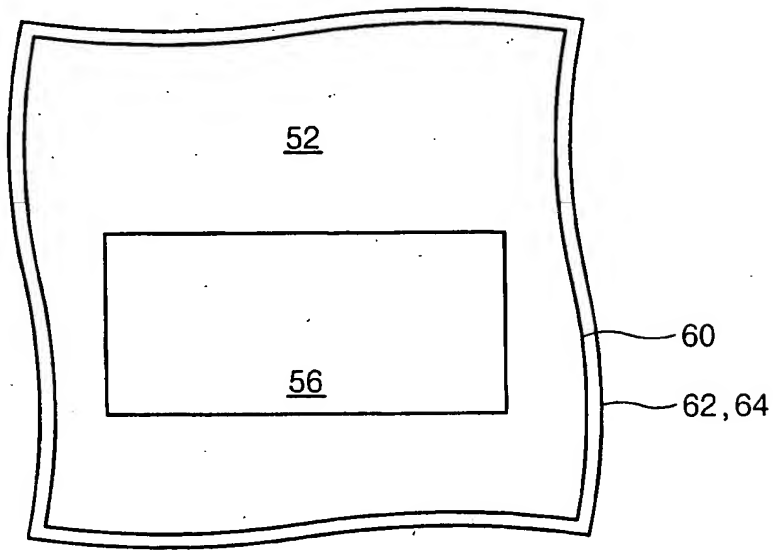




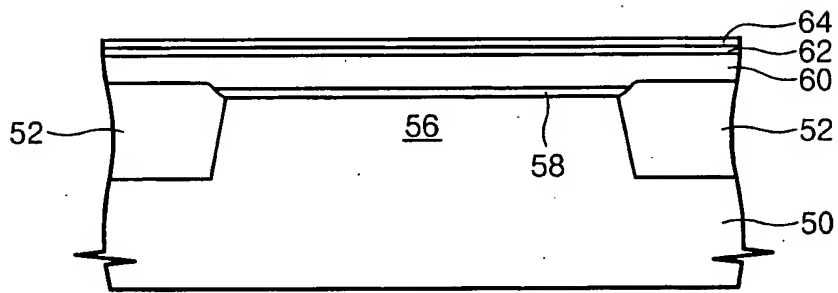
【도 8b】



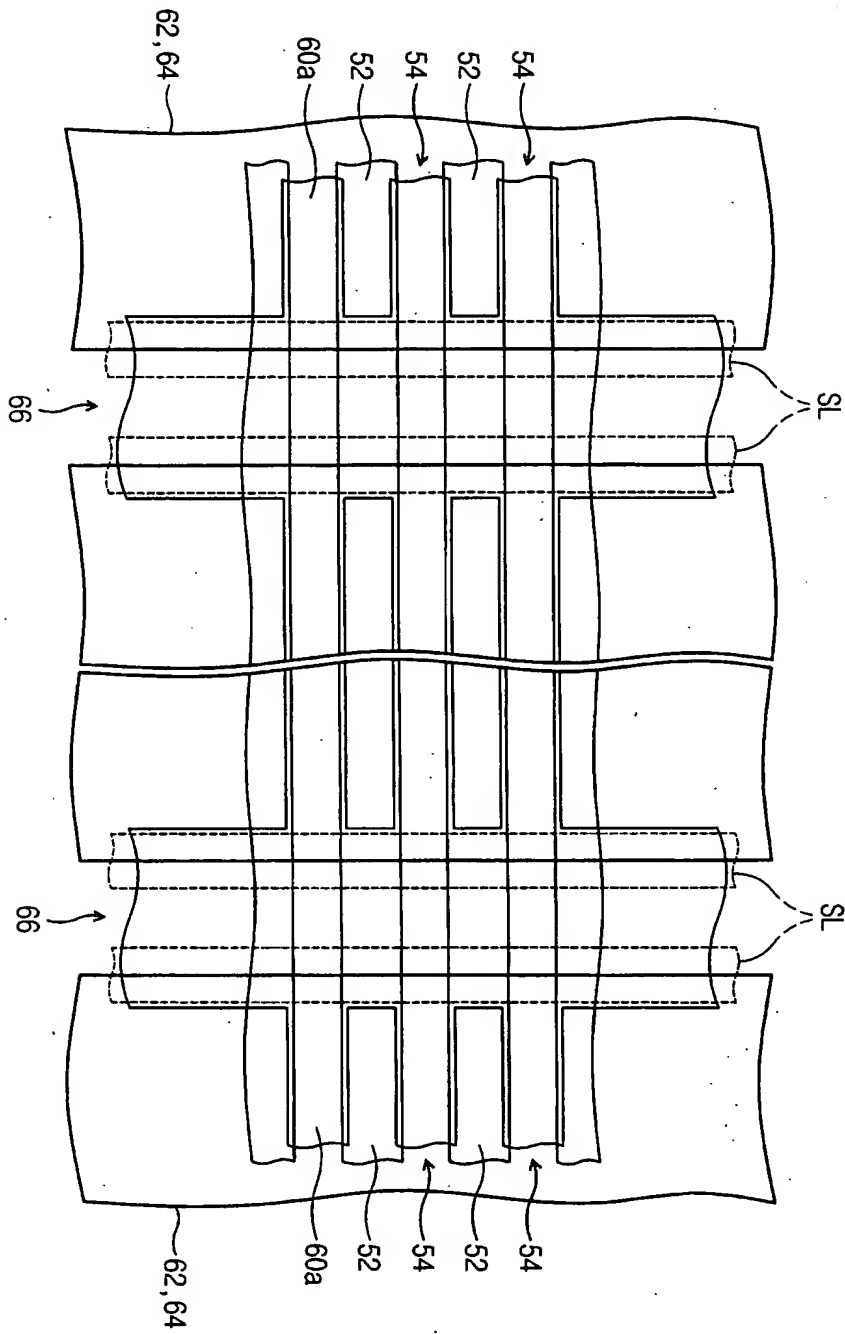
【도 8c】



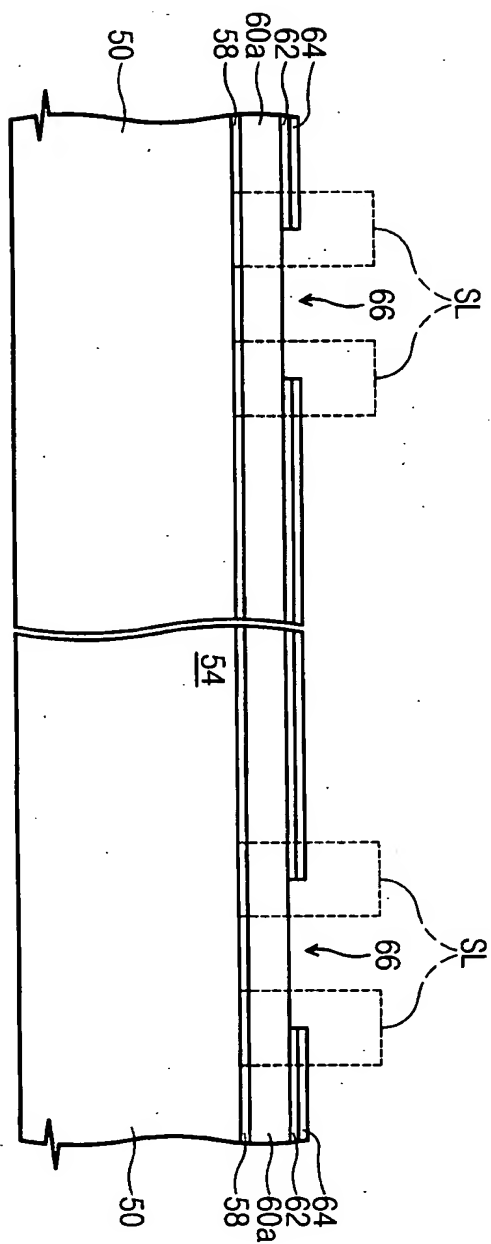
【도 8d】



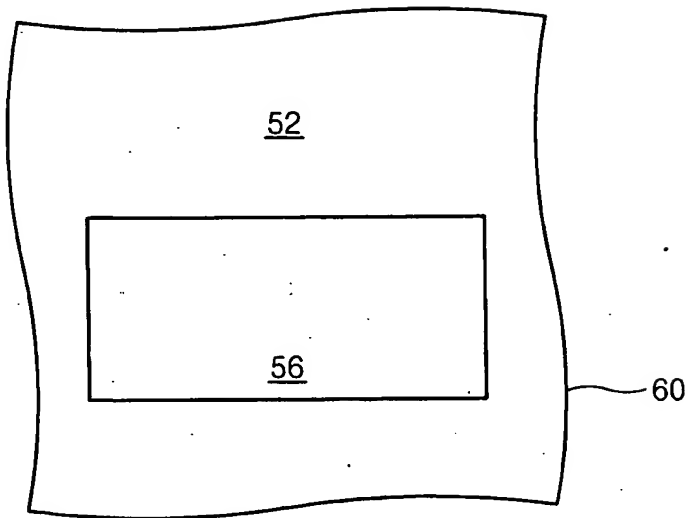
【도 9a】



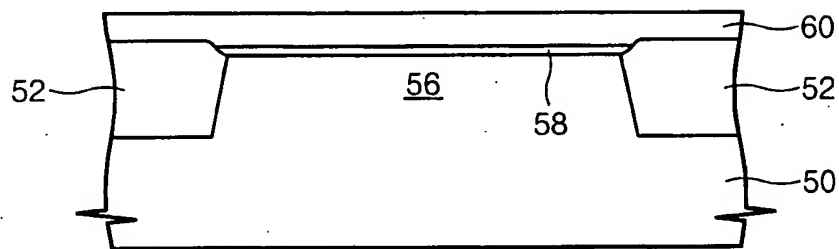
【도 9b】



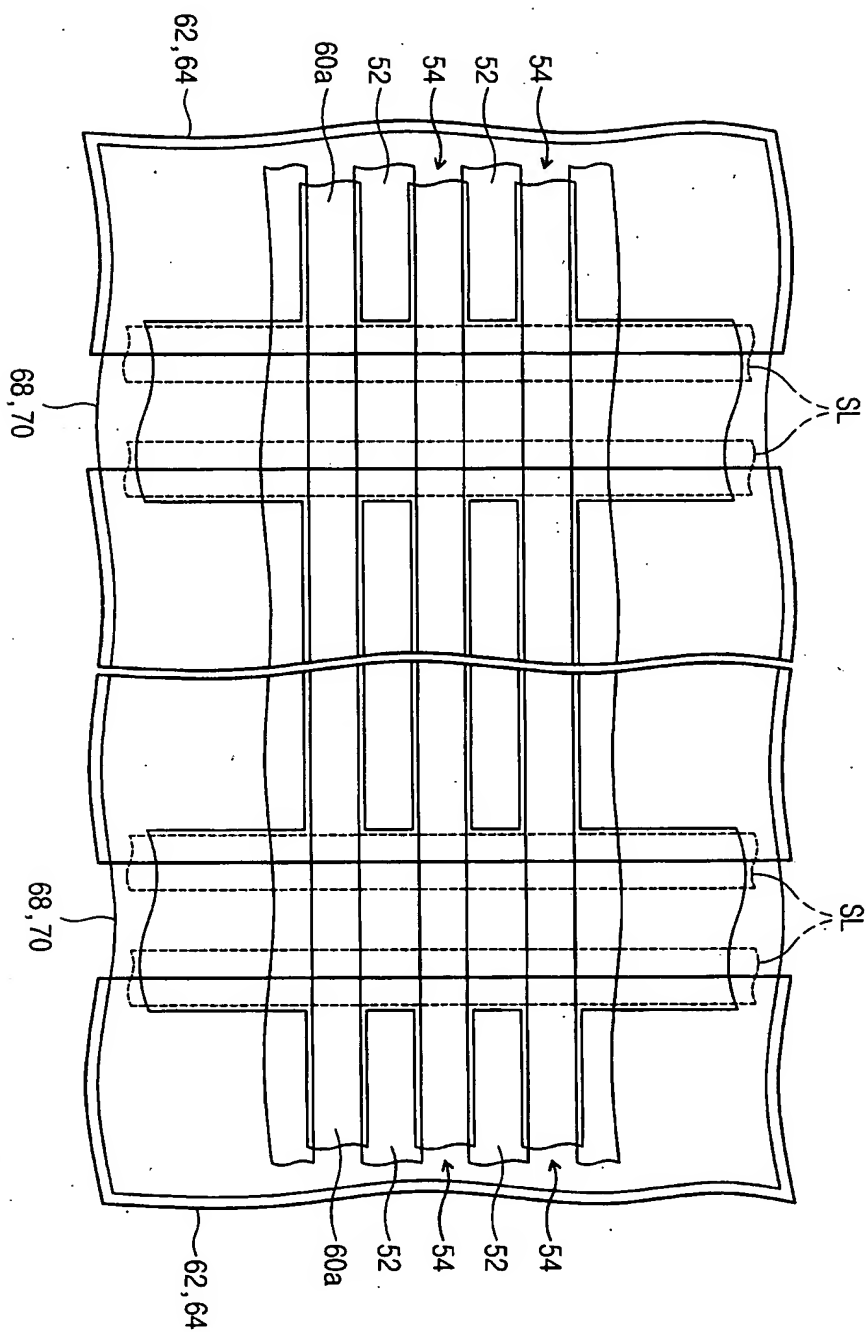
【도 9c】



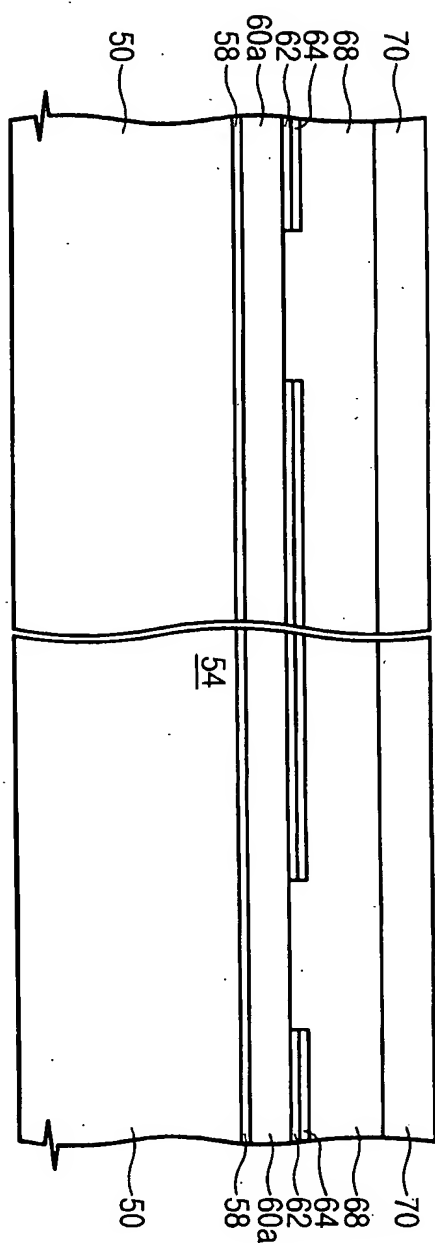
【도 9d】



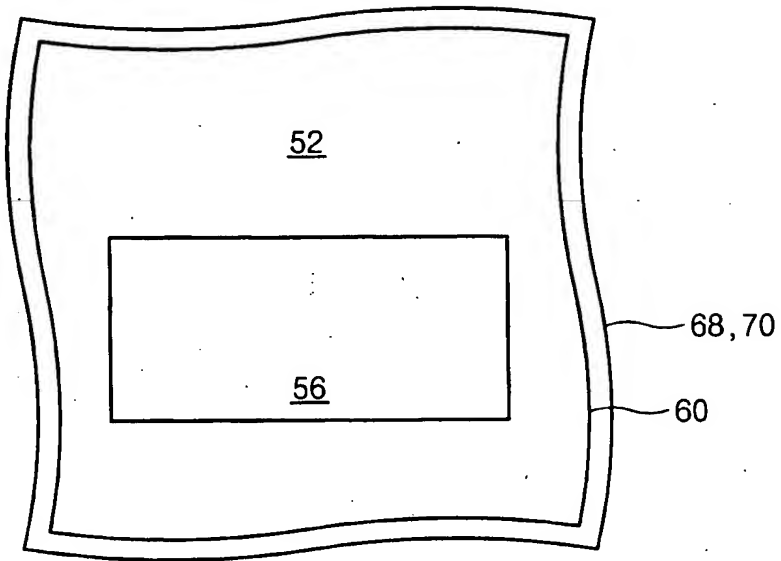
【도 10a】



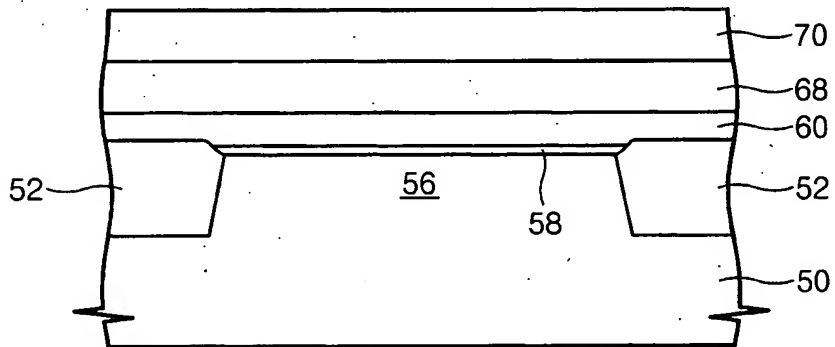
【도 10b】



【도 10c】

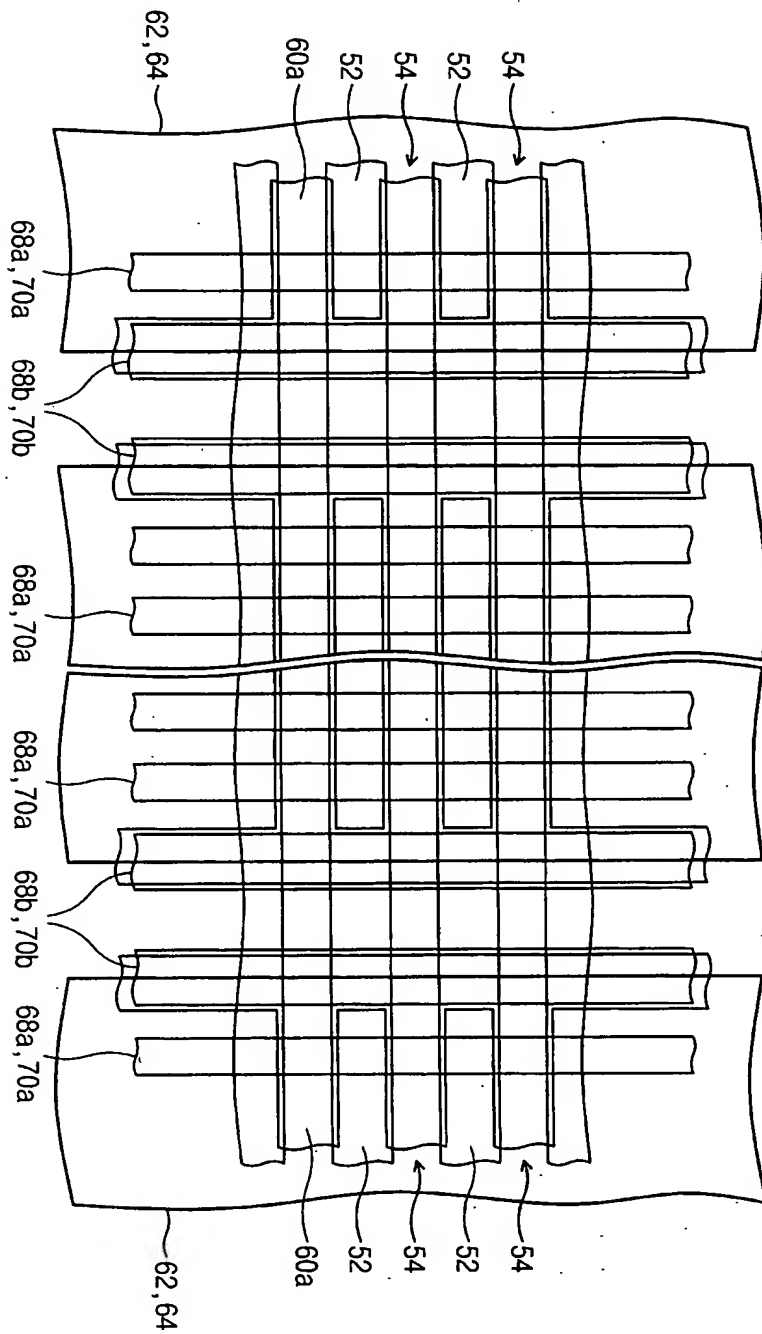


【도 10d】

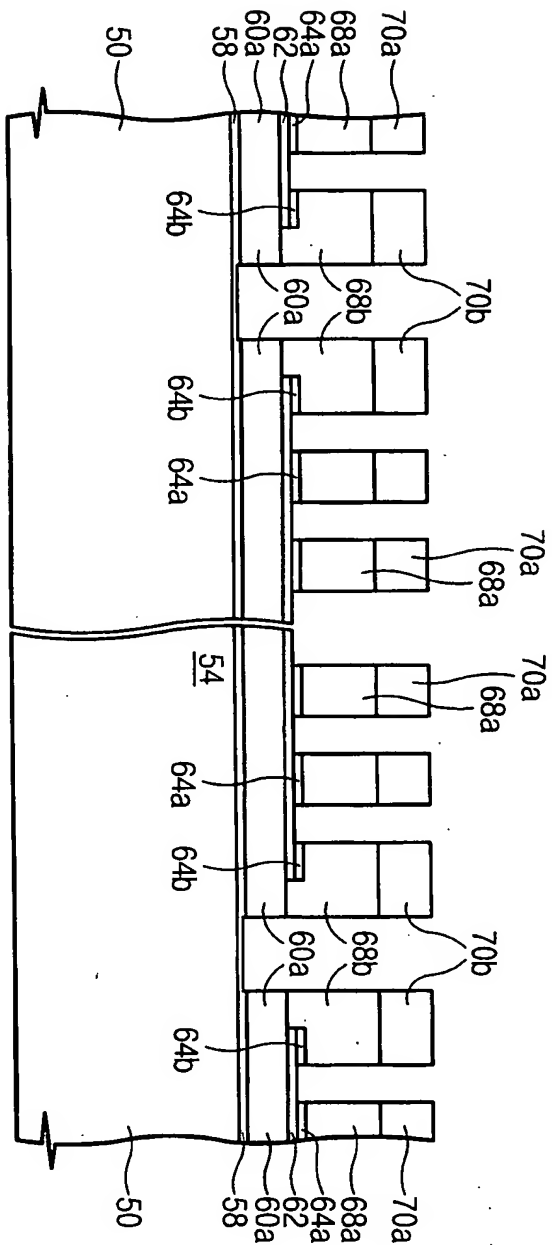




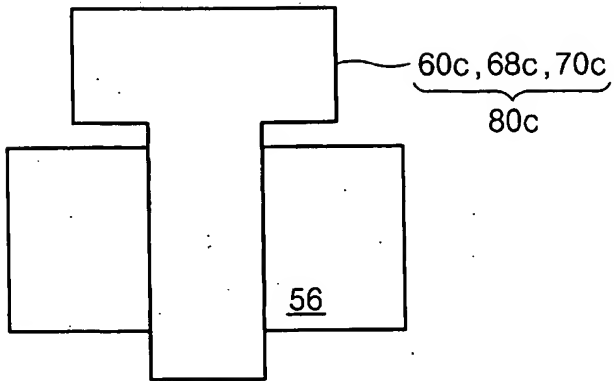
【도 11a】



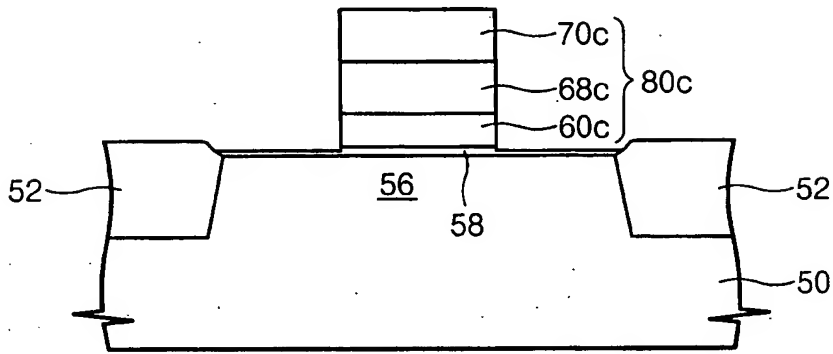
【도 11b】



【도 11c】

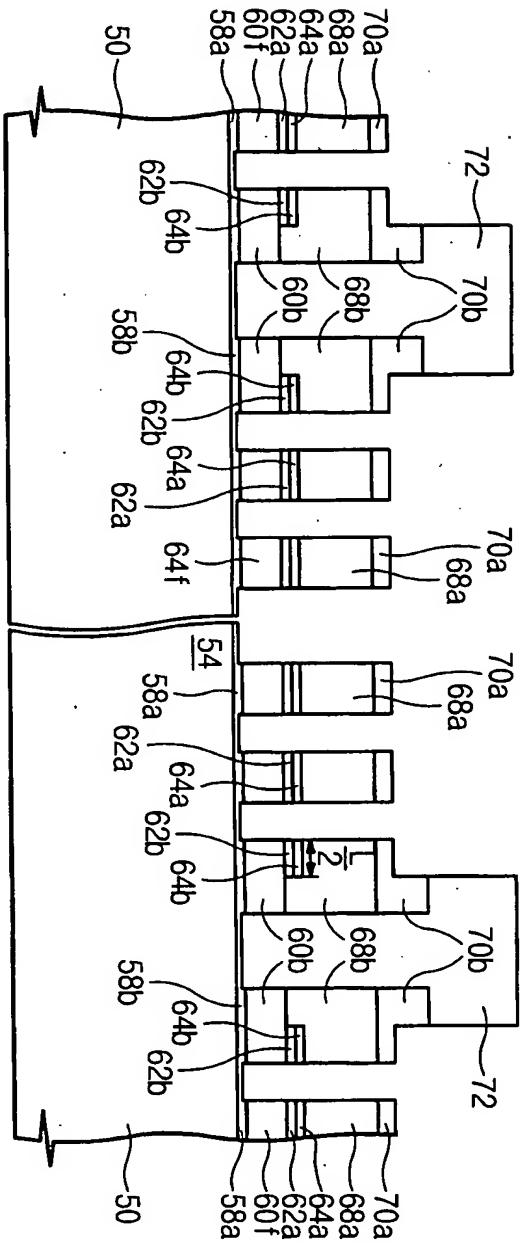


【도 11d】

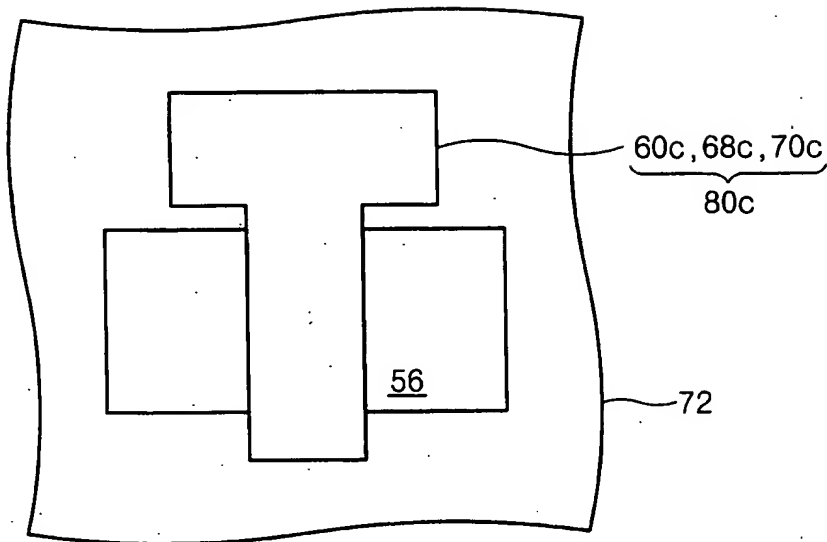




【도 12b】



【도 12c】



【도 12d】

